

RANCANG BANGUN KENDALI DIGITAL MOTOR BLDC UNTUK MOBIL LISTRIK UNIVERSITAS JEMBER

Peneliti : HARI Arbiantara¹, Andi Setiawan², Widjonarko²
Teknisi Terlibat : Sugianto²
Mahasiswa Terlibat : Bayu
Sumber Dana : BOPTN Tahun 2013
Sumber Dana Kerjasama : ---
Kontak Email : hariarbi@yahoo.com
Diseminasi : ---

¹Jurusan Teknik Mesin, Fakultas Teknik, Universitas Jember,

²Jurusan Teknik Elektro, Fakultas Teknik, Universitas Jember,

ABSTRAK

Penelitian yang bertujuan untuk merancang dan mengimplementasikan kendali BLDC dengan metode six step dengan menggunakan rangkaian IC gerbang logika telah dilakukan. Tujuan utama penelitian ini adalah untuk mendapatkan rancangan kendali BLDC yang murah dan cukup handal serta dapat dengan mudah diimplementasikan dengan menggunakan komponen yang umum di pasaran. Hasil pengujian menunjukkan bahwa skema yang dirancang sudah cukup memadai untuk diaplikasikan akan tetapi perlu dilakukan penelitian lanjutan untuk mengatasi permasalahan ketidakseragaman karakteristik dan respon komponen sehingga dihasilkan pengaturan yang sesuai dengan skema teoritisnya. Untuk saran dan rencana penelitian selanjutnya akan dirancang dan dibuat piranti kendali berdasarkan skema logika yang sudah didapatkan namun dengan menggunakan rangkaian terintegrasi yang lebih kompak.

Kata Kunci :BLDC, Six Steps, Logic Circuit.

RANCANG BANGUN KENDALI DIGITAL MOTOR BLDC UNTUK MOBIL LISTRIK UNIVERSITAS JEMBER

Peneliti : HARI Arbiantara¹, Andi Setiawan², Widjonarko²
Teknisi Terlibat : Sugianto²
Mahasiswa Terlibat : Bayu
Sumber Dana : BOPTN Tahun 2013
Sumber Dana Kerjasama : ---
Kontak Email : hariarbi@yahoo.com
Diseminasi : ---

¹Jurusan Teknik Mesin, Fakultas Teknik, Universitas Jember,

²Jurusan Teknik Elektro, Fakultas Teknik, Universitas Jember,

Executive Summary

Makin meningkatnya populasi kendaraan, mengakibatkan polusi udara juga meningkat untuk menghindari diperlukan kendaraan yang ramah lingkungan dan ekonomis. Mobil listrik adalah salah satu alternatif, karena berdasarkan riset yang dilakukan *Union of Concerned Scientists* di Amerika Serikat didapatkan bahwa mobil listrik yang untuk jarak tempuh sekurangnya 17.600 kilometer per tahun, dapat dihemat 750-1.200 US dolar per tahun (*Union of Concerned Scientists.Co, 2010*) , tidak adanya polusi udara dan biaya operasional yang lebih rendah merupakan keunggulan mobil listrik tetapi disisi lain harga mobil listrik juga masih dirasakan cukup mahal.

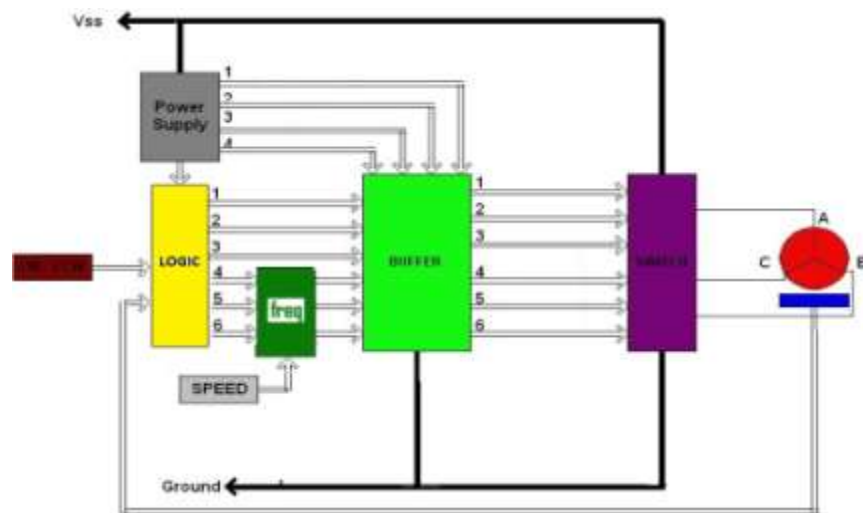
Beberapa usaha yang telah dilakukan oleh pemerintah melalui perguruan tinggi untuk memacu pembuatan mobil listrik dengan melakukan riset-riset unggulan tentang mobil listrik dan menyelenggarakan kontes-kontes mobil listrik Indonesia.

Dalam penelitian sebelumnya kontrol motor BLDC dilakukan dengan menggunakan rangkaian digital dan telah disimulasikan menggunakan Simulink Matlab, hasil simulasi menunjukkan bahwa rangkaian digital hasil penyederhanaan fungsi logika hubungan antara sensor posisi, arah putaran dan sinyal trigger telah benar (*BLDC Controller Using Digital Logic For Electric Vehicle, Bambang Sujanarko, 2012*), Kontrol tersebut masih belum bisa diaplikasikan pada mobil, karena masih menggunakan komputer. Selain itu penelitian tersebut juga belum di-spesifikasikan kapasitas kontrol yang didesain, serta bagaimana system pengatur kecepatannya.

Untuk aplikasi pada mobil yang memiliki kapasitas daya tertentu, rangkaian digital dan sistem kontrol secara keseluruhan perlu dirancang ulang dan diimplementasikan dengan gerbang-gerbang digital, komponen elektronika daya seperti *Metal Oxide Field Effect Transistor* (MOSFET) untuk pensaklaran elektronik motor BLDC secara *Sequential* (bergantian), serta komponen lain seperti op-amp sebagai pembentuk sinyal segitiga untuk system PWM sebagai pengatur kecepatan motor BLDC, transformator untuk system inverter, dan komponen pendukung lainnya .

Penelitian yang diusulkan bertujuan merancang control mobil listrik yang mudah dan handal serta bertujuan untuk dapat dibuat dengan komponen yang tersedia di Indonesia.

Block diagram sistem kendali dan pengemudian BLDC yang dirancang adalah seperti terlihat dalam Gambar 1.



Gambar 1. Blok Diagram Sistem Kendali dan Pengemudian BLDC

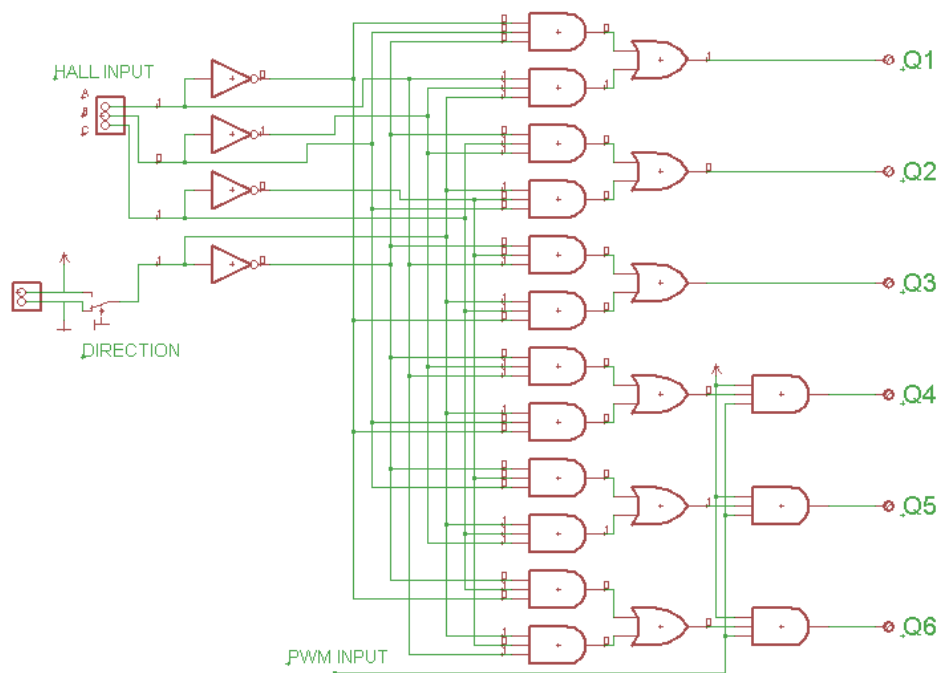
Dari hasil penelitian sebelumnya (**Error! Reference source not found.**) didapatkan skema pengaturan hubungan hall sensor BLDC dengan output *six step controller* adalah sebagaimana terlihat dalam Tabel 1.

Untuk tahun pertama, penelitian yang direncanakan akan dilaksanakan dalam dua tahun ini difokuskan pada perancangan kendali logika yang disusun dari gerbang-gerbang logika dalam bentuk rangkaian terintegrasi (IC) untuk menghasilkan piranti pengaturan yang murah dan dapat diproduksi dengan mudah. Skema rangkaian gerbang logika tersebut adalah sebagaimana terlihat dalam Gambar 3.

Tabel 1. Hubungan hall sensor dengan sistem *switching* pada inverter

Direction	Hall C	Hall B	Hall A	Q1	Q2	Q3	Q4	Q5	Q6
CW	1	1	0	1	0	0	0	1	0
	1	1	0	0	0	1	0	1	0
	1	1	1	0	0	1	1	0	0
	1	0	1	0	0	1	1	0	0
	1	0	1	1	0	1	0	0	1
	1	0	0	1	1	0	0	0	1
CCW	0	0	0	1	0	1	1	0	0
	0	0	1	1	0	1	0	1	0
	0	0	1	0	1	0	0	1	0
	0	1	1	0	1	0	0	0	1
	0	1	0	0	0	1	0	0	1
	0	1	0	1	0	1	0	1	0

Gambar 3. merupakan skema implementasi pengaturan yang disyaratkan dari Tabel 1. Rangkaian ini diimplementasikan ke dalam rangkaian elektronik yang tersusun dari IC gerbang-gerbang logika dan hasilnya sebagaimana terlihat dalam Gambar 4.

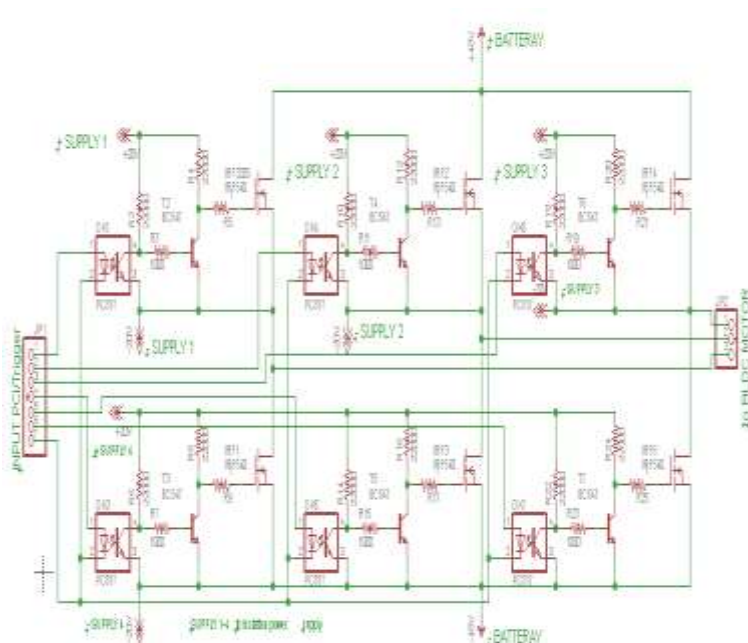


Gambar 3. Skematik Sistem Kontrol.

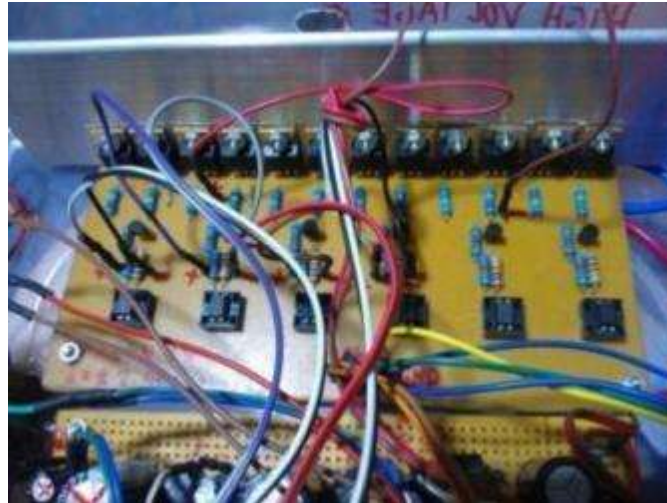


Gambar 4. Hasil Implementasi ke Dalam Rangkaian Elektronik.

Untuk menguji rangkaian ini, dalam penelitian ini juga dibuat rangkaian-rangkaian pendukungnya berupa rangkaian power supply, rangkaian PWM, dan rangkaian driver untuk BLDC yang akan digunakan sebagai pengujian. Skema rangkaian driver BLDC dan implementasinya dalam rangkaian elektronik adalah sebagaimana terlihat dalam Gambar 5. dan Gambar 6.



Gambar 5. Skema Rangkaian Driver BLDC.



Gambar 6. Implementasi Rangkaian Driver BLDC.

Hasil implementasi ini sudah diuji. Hasil pengujian output logika dari rangkaian digitas adalah sebagaimana terlihat dalam Tabel 2.

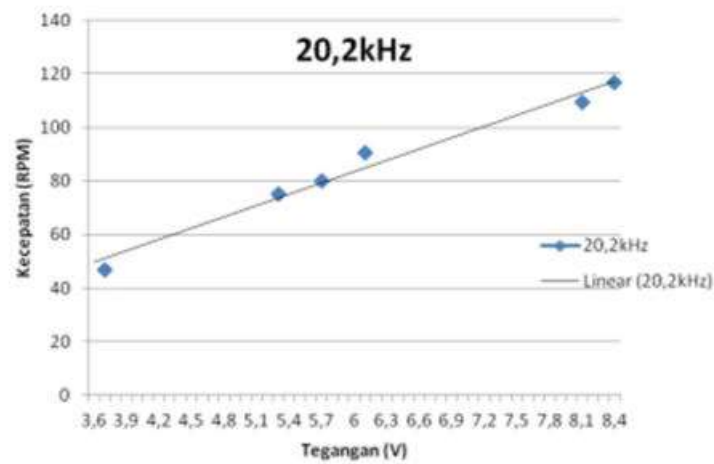
Tabel 2. Pengujian Rangkaian Digital

DIR	HALL (A)	HALL (B)	HALL (C)	Q1		Q2		Q3		Q4		Q5		Q6		Kesimpulan
				T	P	T	P	T	P	T	P	T	P	T	P	
1	1	0	1	1	1	0	0	0	0	0	0	1	1	0	0	Benar
1	1	0	0	0	0	0	0	1	1	0	0	1	1	0	0	Benar
1	1	1	0	0	0	0	0	1	1	1	1	0	0	0	0	Benar
1	0	1	0	0	0	1	1	0	0	1	1	0	0	0	0	Benar
1	0	1	1	0	0	1	1	0	0	0	0	0	0	1	1	Benar
1	0	0	1	1	1	0	0	0	0	0	0	0	0	1	1	Benar
0	0	0	1	0	0	0	0	1	1	1	1	0	0	0	0	Benar
0	0	1	1	0	0	0	0	1	1	0	0	1	1	0	0	Benar
0	0	1	0	1	1	0	0	0	0	0	0	1	1	0	0	Benar
0	1	1	0	1	1	0	0	0	0	0	0	0	0	1	1	Benar
0	1	0	0	0	0	1	1	0	0	0	0	0	0	1	1	Benar
0	1	0	1	0	0	1	1	0	0	1	1	0	0	0	0	Benar

Setelah dirangkai dengan rangkaian pendukung yang lain dan rangkaian driver, kemudian rangkaian logika ini diaplikasikan untuk pengaturan putaran BLDC dengan menggunakan frekuensi sample yang bervariasi untuk menguji linieritasnya dalam pengaturan kecepatan. Hasil pengujiannya terbaik adalah dengan menggunakan frekuensi sampling 20.2 kHz sebagaimana ditabelkan dalam Tabel 3 dan Tabel 4.

Tabel 3. Hubungan Tegangan dengan Kecepatan pada Frekuensi 20.2kHz

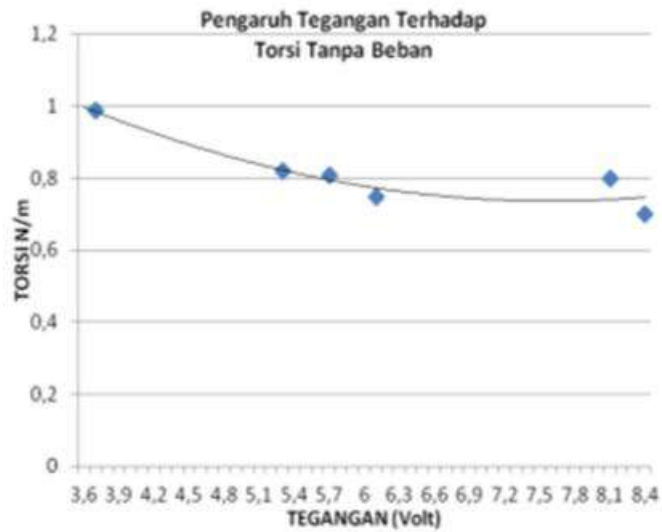
(Volt)	Kecepatan (RPM)		
	AKTUAL	TEORITIS	ERROR %
3,7	46,9	46,90	0,00
5,3	75,3	70,76	6,41
5,7	80,1	76,73	4,39
6,1	90,5	82,70	9,44
8,1	109,4	112,53	2,78
8,4	117	117,00	0,00



Grafik 1. V dan RPM pada Frekuensi 20.2 kHz

Tabel 4. Hubungan V, I, RPM dan Torsi pada Frekuensi 20.2kHz

V	DAYA	SPEED	TORSI
(volt)	(watt)	(radian/s)	(N-m)
3.7	4.847	4.911	0.987
5.3	6.466	7.885	0.820
5.7	6.783	8.388	0.809
6.1	7.076	9.477	0.747
8.1	9.153	11.456	0.799
8.4	8.568	12.252	0.699



Grafik 2. Hubungan V dan Torsi pada Frekuensi 20.2kHz

Kesimpulan dari kegiatan tahun pertama penelitian ini adalah kontrol telah dapat dibuat dan direalisasikan dengan menggunakan rangkaian digital berupa gerbang-gerbang logika yang terdiri dari komponen rangkaian terintegrasi (IC). Kontrol yang dibuat telah dapat digunakan untuk menggerakkan motor BLDC dan menghasilkan pengaturan kecepatan yang cukup memadai pada pengujian tanpa beban meskipun masih terdapat ketidaksesuaian pada hubungan antara torsi dan kecepatan pada nilai frekuensi sample tertentu. Hal ini dikarenakan ketidakseragaman komponen gerbang dalam menerjemahkan nilai input NOL, terutama pada rangkaian gerbang AND.

Rencana kegiatan penelitian selanjutnya adalah untuk mengemas rangkaian gerbang logika dengan skema yang sudah dibuat dalam penelitian ini ke dalam komponen terintegrasi yang lebih kompak untuk mengatasi permasalahan ketidakseragaman komponen dalam merespon logika inputnya.